

## 明 細 書

### 電子デバイスおよびその製造方法

#### 技術分野

- [0001] 本発明は、電子デバイスおよびその製造方法に関し、特にフリップチップ方式によって半導体チップを配線基板へ実装した構造とその実装方法に関するものである。

#### 背景技術

- [0002] 従来、半導体チップと配線基板とのフリップチップ方式による接続構造では、接続部の信頼性の問題が重要な課題の一つとなっている。

この信頼性向上手段として、通常、半導体チップと配線基板との間に封止樹脂を注入することで接続部への応力を緩和する手段がとられている。樹脂による封止方法としては、半導体チップを配線基板上へフリップチップ実装した後に、液状の樹脂を流し込み硬化させるアンダーフィル方法が主流であった(例えば、特開2000-156386号公報参照:第1の従来例)。

- [0003] この第1の従来例の液状のアンダーフィル樹脂を後から注入するフリップチップ実装方

法について、図1A～図1Cを参照して説明する。図1Aに示すように、配線基板は、絶縁層12上に形成された配線パターン2と、配線パターン2を覆うソルダーレジスト3から構成されており、一般的に、これら絶縁層12と配線パターン2とを多層に積み重ねた構造がとられている。

半導体チップの実装工程では、図1Bに示すように、半導体チップ4の回路面上に配されたパッド(電極)上に bumps 5を形成し、配線基板上の配線パターン2の露出部分と半導体チップ4の bumps 5とを位置合わせして接合する。

図1Cに示す次工程では、半導体チップ4と配線基板との間隙に、液状樹脂を注入し硬化させて半導体硬化させて半導体チップ4を封止するアンダーフィル17を形成してフリップチップ実装構造の半導体パッケージを完成させる。

しかしながら、このようなアンダーフィル樹脂を後から注入する第1の従来例では、接続手段として金属拡散接合、金属熔融接合、金属含有樹脂ペーストによる接合等

の種々の手段が用いられており、何れの工法においても、実装時に半導体チップおよび配線基板に熱を加える。そのため、特に配線基板に有機基板を用いる場合、実装後の温度が低下する際に半導体チップと配線基板の熱膨張係数の差に起因する応力が接続部に集中することから、接続部が破壊しやすい、あるいは信頼性の向上が困難である等の課題があった。

他の製造工法としては、樹脂を予め配線基板上に塗布しておき、半導体チップ実装時にチップ加圧により半導体チップ上に形成されたバンプと配線基板上に形成されたパッドとが接触させた状態を保ちつつ、半導体チップと配線基板間の樹脂を接合と同時に硬化する工法が提案されている(例えば、特開平4-82241号公報参照：第2の従来例)。

[0004] この第2の従来例の工法の製造方法について、図2A、2Bを参照して説明する。まず、図2Aに示すように、配線基板上の半導体チップ搭載個所に液状樹脂17aを供給する。樹脂の供給には、エア式のディスペンス装置が使われるのが一般的である。

[0005] そして、バンプ5が形成された半導体チップ4を、吸着穴19を有する実装ツール18によって吸着把持し、配線基板の配線に半導体チップ4の位置合わせを行う。次いで、図2Bに示すように、半導体チップ4を吸着把持させたまま実装ツール18を降下させ、バンプ5と配線パターン2を接触させる。そしてその状態を保ちつつ、半導体チップ4を加熱・加圧して、バンプ-配線間を接続するとともに半導体チップと配線基板間の樹脂を硬化させてアンダーフィル17を形成する。この第2の従来例でも、実装時の熱によって基板が膨張することは変わらないが、常温に戻った際の基板収縮に伴う応力は、アンダーフィル17に分散されることから、前述の実装後に樹脂を注入・硬化させる工法の課題である半導体チップと配線基板の熱膨張係数差に起因する接続不良は抑制できる。さらに、バンプ5と配線基板の配線と接触のみによる低温化接続が可能であるという特徴も有している。しかしながら、近年では携帯端末機器での半導体装置の薄型化要求が厳しく、半導体チップ単体の薄型化が必須となっており、チップの厚みが薄くなるに伴って実装時に半導体チップ実装装置の実装ツールに樹脂が這い上がり、ツールに樹脂が固着するという問題が顕著化している。

[0006] 近年の電子機器の高性能化・高機能化に伴い、高周波化・高密度化の要求は益

々高まっている。特に携帯電話、無線LAN等の多大なノイズ発生の伴うアナログ回路が混在した電子機器や、高クロック化が進むパソコンのマザーボード等においては、配線基板内の配線に伝わるノイズは、そのノイズレベルによっては機能障害を引き起こす。そのため、如何にノイズを低減あるいは遮蔽するかが重要な課題となっている。

[0007] そこで、このノイズの影響を低減する目的で、コア層配線層に電源・グランドパターンを配すとともに、最外配線層についても可能な限りグランドに接続したベタパターンを配す手法が活用されている。この従来技術による半導体チップの実装例について、図3A、3Bを用いて説明する。図3Aは、最上層配線層の平面図であり、図3Bは半導体チップの実装部近傍の断面図である。半導体チップ4の bumps は、最上層配線層に形成されたパッド20に接続され、配線パターン2を介してビアホールランド21に接続されている。また、最上層配線層には、前述したノイズの影響低減を目的としたグランドパターン2aがベタパターンにて形成されている。配線基板の内層には、パッド20に接続された半導体チップ4からの信号を伝達する配線パターン2が形成されており、配線基板内ではこれらの配線パターンを介して他の電子部品の端子と接続される。ここで、他の電子部品と接続される配線パターン2は、最上層に設けられたグランドパターン2aの下層を通すことで前述のノイズの影響を低減している。

[0008] 複数配線層を有する配線基板内の配線パターンの層間接続は、ビアホール22を介して行われ、個々の配線パターンはビアホール22を通して内層配線層を通り、再度ビアホールを介して表層に引き出され、他の部品の該当端子と接続される。

[0009] また、従来の実装方法により半導体チップを積層して従来の実装方法により製造したBGA(ball grid array)の例を図4A、4Bに示す。図4Aは、最上層配線層の平面図であり、図4Bは従来のBGAの断面図である。図3A、3Bに示した場合と同様に、半導体チップ4の bumps は、最上層配線層に形成されたパッド20、配線パターン2を介してビアホールランド21に引き出され、ビアホール22を介して下層配線へ落とされる。最上層の絶縁層12の外周部には、ワイヤボンディングのためのパッド23が形成されている。半導体チップ4上には他の半導体チップ16がフェースアップ状態で搭載されており、他の半導体チップ16の電極(図示なし)とパッド23間はボンディングワイヤ24により接続されている。

[0010] 図1A～1Cに示した第1の従来例の製造工法では、特に配線基板に有機系材料を絶縁層として用いる場合において、半導体チップの熱膨張係数が約2～3ppm/℃であるのに対し、有機配線基板のそれは約10～50ppm/℃と非常に大きな差があり、実装時の加熱後、チップの収縮量の5倍以上の量の配線基板収縮が発生するため、接合部に大きな応力集中が発生する。この応力集中は、チップ上の電極に形成された bumps と電極間での破壊、電極の破壊、更には bumps と配線基板上のパッドとの接続界面破壊等の種々の接合部破壊や信頼性低下を引き起こすという問題がある。また、これらの不良は熱膨張係数の差に起因しているため、チップサイズが大きい程これらの不良の発生率は上昇する傾向にあり、特に、bumps がチップ周辺のみ配されたペリフェラル構造の大型チップへの採用は非常に困難となる。

[0011] 次に、図2Aおよび2Bに示した第2の従来例の製造工法における課題について説明する。この方法においても、実装時の熱により基板が膨張することは変わらない。しかし、半導体チップ実装時に、実装ツールでチップを把持したまま樹脂を硬化させることから、常温に戻った際の基板収縮に伴う応力が樹脂で分散され、前述の実装後に樹脂を封入する工法の課題である半導体チップと配線基板の熱膨張係数差に起因する接続不良を抑制できるという特徴を有している。しかしながら、近年では携帯端末機器での半導体装置の薄型化要求が激しく、半導体チップ単体の薄型化が必須となっており、チップの厚みが薄くなるに伴って実装時に半導体チップ実装装置のチップ吸着ツールに樹脂が這い上がり、ツールに樹脂が固着するという問題が顕在化している。これは、配線基板上に事前に塗布した樹脂が、半導体チップを加圧・加熱する工程中に押し出され、チップ周囲にはみ出してくる際、チップの側面から樹脂が這い上がりチップを吸着・加圧している実装装置の加熱されたツールへ接触し、硬化するに至り、次回以降の実装が不可能となるという問題を生じさせる。

[0012] この問題が生じる理由を、図5の薄型チップを実装ツールで吸着した状態の模式図を用いて説明する。実装ツール18は、樹脂が吐出量ばらつきにより半導体チップ4の上面まで這い上がった場合を考慮し、半導体チップ4よりも十分小さく設定されている。しかしながら、半導体チップ4のチップ厚が十分薄い場合、図18のように実装ツールが bumps 5 形成部よりも小さいと、実装ツール18により半導体チップ4を加圧する際

、チップが割れるという問題が発生する。そのため、薄型チップの場合には、実装ツール18のサイズを少なくともバンプ5を包含するサイズまで大きくする必要があり、チップ上面まで這い上がった樹脂が実装ツールに付着・硬化する確率は大幅に上昇する。

[0013] 更に、チップ厚が薄い分、樹脂の這い上がりもシビアになるため、樹脂の吐出量のばらつきを極限まで抑える必要がある。一般にチップ厚が0.15mm以下となると、液状樹脂では樹脂量のコントロールが難しく対応が困難となることが知られている。

[0014] 上記した、樹脂の実装ツールへの固着防止、樹脂の適量制御という観点から、フィルム状の樹脂材料が提唱されており、熱硬化型、熱可塑型、あるいは熱硬化・熱可塑混合型等の種々の樹脂材料が検討されている。しかしながら、アンダーフィル用途のフィルム状樹脂材料は、フィルム形態特有の課題、例えばフィルム樹脂を配線基板上に貼り付ける際の貼り付け性、気泡の発生、本硬化後の接続信頼性等、多くの課題を抱えている。これらフィルム形態の樹脂は、未だ開発途上であるというばかりでなく、非常に材料価格が高価であるという課題も有している。しかも、フィルムタイプの樹脂材料を採用する場合には、従来の樹脂のディスペンス装置が使用できず、新たにフィルム貼り付け機を設備投資しなければならないという課題も有しており、製造コストの低減も大きな課題となっている。

[0015] 次に、従来の実装方法により製作した電子デバイスの構造上の問題点について説明する。基板表層配線への部品を実装する従来の実装構造においては、図3A、3B、4Aおよび4Bに示されるように、多くの信号線を内層配線層に落とす必要があり、層間接続のためのビアホールを介して表層配線と内層配線とを接続していた。そのため、一般的な数百ピンクラスの半導体チップを実装する場合においても、膨大な数のビアホールが必要となる。特に、図3Aおよび3Bに示される従来例のように、高周波化に対応するため基板の最上層にグランドパターンを形成した構造の場合にはより顕著であり、ほぼ全ての信号線を内層に落とさなければならないことになる。

[0016] ここで、ビアホールランド径は先端レベルにおいても200  $\mu$ m程度のサイズが必要であり、ビアホール数が増加すればする程、ビアホールによる配線層を占める面積が増加する。そのため、配線エリアが制限されたり迂回配線が余儀なくされたりすることか

ら配線の引き回しが非常に困難となり、場合によっては配線層数を増やさなければならず、配線長も更に増加することとなる。よってビアホール数のミニマム化は、高周波化への大きな課題となっている。

[0017] 更にビアホール数の増加は、最上層でのビアホール配置エリア/配線エリアの占有率の上昇も引き起こすことから、部品同士の実装間隔への制約も大きくなり、部品の高密度実装の面においても大きな弊害となっている。例えば、図4A、4Bに示されるBGAでは、ボンディングパッドが半導体チップ16から離れた位置に配置されることから、ボンディングワイヤ長が長くなると共にチップサイズでのパッケージングが困難となる。

[0018] また、コスト面においても、ビアホール形成はレーザ等による絶縁層の個別穴開けが主流であり、当然ながらビアホール数が増加するに比例して加工数が増加するため、基板製造費は上昇する。層数増も大きなコストアップ要因となっている。

[0019] 一方、信頼性面から見た場合にも、ビアホールは配線基板において最も破壊しやすい箇所であり、製造ばらつき等による品質面からもビアホール数は少なければ少ないほど望ましく、信頼性面でもビアホールの増加は不利となる。

#### 発明の開示

[0020] 本発明の目的は、第1に、実装後の半導体チップと配線基板の熱膨張係数差に起因する接続部破壊を抑制することであり、第2に、封止樹脂の這い上がりによって実装ツールへ樹脂が固着するのを防止することであり、第3に、実装工程での樹脂材料供給を不要ならしめることであり、第4に、ビアホール数を最小限に抑えることであり、第5に、高周波化に対応すべく伝送線路長を最短化することであり、第6に、デバイスの信頼性を向上させることであり、第7に、低コストで電子デバイスを製造できるようにすることであり、第8に、電子デバイスの薄型化・小型化を実現できるようにすることである。

[0021] 上記の目的を達成するため、本発明の電子デバイスは、第1主面および第2主面を有する絶縁樹脂層と、絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板と、下面に突起電極を有し、配線基板に実装されたチップ部品とを有する。チップ部品の下面と少なくとも側面の一部とは絶縁樹脂層に接し、チップ部品の

上面が絶縁樹脂層の第1主面側に露出する態様にて、絶縁樹脂層がチップ部品を保持し、チップ部品の突起電極が第1の配線層と接続されている。

[0022] 換言すると、本発明によれば、第1主面および第2主面を有する絶縁樹脂層と、絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板に突起電極を有するチップ部品を実装してなる電子デバイスにおいて、チップ部品が絶縁樹脂層へその第1主面側から絶縁樹脂層内へ進入しチップ部品の突起電極が絶縁樹脂層を貫通して第1の配線層と接続していることを特徴とする電子デバイス、が提供される。

[0023] また、上記の目的を達成するため、本発明によれば、第1主面および第2主面を有する絶縁樹脂層と、絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板と、突起電極を有するチップ部品とを用意する工程と、チップ部品を絶縁樹脂層へその第1主面側から押圧して押し込む工程と、チップ部品の突起電極を絶縁樹脂層を貫通させて第1の配線層に接続させるとともに、チップ部品の少なくとも突起電極の形成面を絶縁樹脂層の樹脂にて封止する工程とを有する電子デバイスの製造方法、が提供される。

[0024] 本発明によれば、半導体チップを配線基板にフリップチップ実装する方法において、半導体チップの端子に形成された突起電極であるバンプを配線基板の絶縁樹脂層を貫通させ、内層配線層に形成された接続パッドと突起電極とを接続させる方法を採用することにより、樹脂を後から注入・硬化させる工法で課題となる実装後の半導体チップと配線基板の熱膨張係数差に起因する接続部破壊を抑制することができる効果と、半導体チップ実装前に供給するアンダーフィル材として液状樹脂を適用する際に課題であった樹脂の這い上がりによる実装ツールへの樹脂固着を防止できる効果とを同時に実現できる。

[0025] 更に、半導体チップの封止を目的とする樹脂材料を配線基板の材料により構成していることから、実装工程での樹脂材料供給が不要であり、樹脂材料費、樹脂供給・キュア等の工程加工費、また、それに付随する設備投資が不要となり、実装コストを大幅に削減できる。

[0026] また、本実装構造では、半導体チップが配線基板に埋め込まれた構造をとることが

可能であり、薄型・小型の半導体パッケージや、埋め込まれたチップ上に他の部品を実装する3次元の高密度実装構造が可能な電子部品基板をも実現可能とすることができる。

[0027] また、電子部品の電極を直接内層パターンに接続する実装構造を採用したことにより、ビアホール数を大幅に削減できる。これに伴って、本発明によれば、以下の効果を楽しむことができる。

- (1) 配線エリアの確保が可能となり、特性を考慮した配線引き回しが容易となる。
- (2) 伝送線路長、フライングワイヤ長のミニマム化が可能となる。
- (3) ビアホール数削減に伴う基板製造費低減、配線層の層数低減による薄型化・基板の低価格化が実現できる。
- (4) 小型化(基板の小型化・薄型化・部品の実装密度向上)が実現できる。
- (5) 信頼性の向上を図ることができる。

#### 図面の簡単な説明

[0028] [図1A]第1の従来例による実装方法を説明する、配線基板の断面図である。

[図1B]第1の従来例による実装方法を説明する、配線基板上へ半導体チップを接合した状態での断面図である。

[図1C]第1の従来例による実装方法を説明する、配線基板上に接合した半導体チップと配線基板との間にアンダーフィルを形成した状態での断面図である。

[図2A]第2の従来例による実装方法を説明する、半導体チップを配線基板上に接合する前の、配線基板に液状樹脂を塗布した状態での断面図である。

[図2B]第2の従来例による実装方法を説明する、半導体チップを配線基板上に接合した状態での断面図である。

[図3A]最上層にグランドパターンを有する従来の配線基板の、最上配線層の平面図である。

[図3B]図3Aに示す配線基板に半導体チップを実装した状態での断面図である。に従来法によりフリップチップを実装した状態を示す平面図と断面図である。

[図4A]従来のBGAに用いる配線基板の平面図である。

[図4B]図4Aに示す配線基板を用いた従来のBGAの断面図である。



[図5]薄い半導体チップを実装ツールで吸着把持した状態を示す模式図である。

[図6A]本発明の第1の実施の形態を示す、配線基板の断面図である。

[図6B]本発明の第1の実施の形態を示す、配線基板に半導体チップを実装した状態での断面図である。

[図7A]本発明の第2の実施の形態を示す、配線基板の断面図である。

[図7B]本発明の第2の実施の形態を示す、配線基板に半導体チップを実装した状態での断面図である。

[図8A]本発明により実装される、バンプを有する半導体チップの断面図である。

[図8B]半導体チップへのバンプの形成方法の一例を示す図である。

[図8C]半導体チップへのバンプの形成方法の他の例を示す図である。

[図9]本発明の応用例1の断面図である。

[図10]本発明の応用例2の断面図である。

[図11]本発明の応用例3の断面図である。

[図12]本発明の応用例4の断面図である。

[図13]本発明の応用例5の断面図である。

[図14]本発明の応用例6の断面図である。

[図15]本発明の応用例7の断面図である。

[図16]本発明の応用例8の断面図である。

[図17A]本発明の応用例9の平面図である。

[図17B]本発明の応用例9の断面図である。

[図18A]本発明の応用例10の平面図である。

[図18B]本発明の応用例10の断面図である。

### 発明を実施するための最良の形態

- [0029] 図6A、6Bは、本発明の第1の実施の形態を示す断面図であって、図6Aは、本発明の一つの特徴であるバンプが貫通する層として、熱可塑性の絶縁樹脂層1をコア層とした配線基板の断面図である。この配線基板は、絶縁樹脂層1の両面に銅箔を形成した銅張基板を用いて作製されたものであり、サブトラクティブ工法などによりパターンニングされた配線パターン2と、その両面の最外層にコーティングされた溶剤

レジスト3を有する一般的な製造工法により製造されたものである。

[0030] 銅箔配線層の形成は、加熱プレス積層法や金属蒸着後にメッキ形成する工法も適用でき、導通のためにバンプと直接接触、あるいは金属接合される蒸着金属には、Auなどの酸化しにくい材料を選定することで信頼性の向上も期待できる。

[0031] また、絶縁樹脂層1は、半導体チップやバンプ接続部の信頼性を確保する目的のため、熱膨張係数が半導体チップに近い材料を選定した方がよく、シリカ等のフィラーを含有させるか、任意に熱膨張係数を制御して製造可能な液晶ポリマー等を使用する等の方法にて熱膨張係数を調整しておく。

[0032] 図8Aは、本発明において実装される半導体チップ4の断面図である。半導体チップ4の回路面には、内部回路に接続されたパッド〔図8Aでは図示省略〕が形成されており、そのパッド(電極)上には先端部が尖ったバンプ5が形成されている。このようなバンプは、図8B、8Cに示すワイヤボンディング法や打ち抜き法により形成することができる。すなわち、図8Bに示すように、キャピラリー6に把持された金ワイヤ7の先端部に金ボール8を形成しておき、この金ボールを半導体チップ4の回路面に形成されたパッド4aにキャピラリー6により押し付けることにより接合させ、金ワイヤを引きちぎりバンプ5を形成する。金ボールは、キャピラリーから金ワイヤを突出させておき、トーチと金ワイヤ間に高電圧をかけスパークさせることにより、金が溶融し固まる際に表面張力で球状となって形成されるものである。

[0033] あるいは、図8Cに示すように、円錐形の凹部9aを有するポンチ9とダイス10とによりリボン材料11を打ち抜き、その打ち抜き部を半導体チップ4の回路面に形成されたパッド4aに接合させ、バンプ5を形成する。なお、熱可塑性の絶縁樹脂層1は、半導体チップ4実装時の加熱により十分軟化するため、バンプの先端は必ずしも尖っている必要はなく、高温はんだバンプ、銅バンプ、金バンプ等も利用でき材料に対する制約も無い。しかしながら、絶縁層樹脂を貫通させ易いという点や、接続信頼性を確保し易いという点において、先端を尖らせた形状を採用する方が加工条件にマージンができることから、初期歩留まりや信頼性の面では有利である。

[0034] 図6Bは、図6Aで示した配線基板に図8Aに示す半導体チップを実装した状態を示した断面図である。配線基板のコア材である熱可塑性の絶縁樹脂層1に、バンプ5

の形成された半導体チップ4を、バンプ5が絶縁樹脂層1を貫通して下層配線に接続されるとともに、絶縁樹脂層1内に埋め込まれるように実装した構造としている。

[0035] 次に、本実装構造の実装方法について説明する。配線基板の半導体チップ4と絶縁樹脂層1との密着性を上げるため、予め絶縁樹脂層1の表面をプラズマ処理や紫外線照射で活性化しておくことが望ましい。

[0036] 配線基板上の、半導体チップ4が実装される箇所には、ソルダーレジスト3が塗布されずに開口している。配線基板上に設けた位置合わせマークと、実装装置の実装ツールに吸着把持された半導体チップ4とを画像処理して位置合わせを行う。この際、位置合わせマークは上層の配線層に形成してもよいが、上層と下層とのパターン位置を精度よく形成することは困難であることから、端子ピッチが微細である場合には、下層の配線に位置合わせマークを設けておくことが望ましい。また、適用する熱可塑性樹脂が透明でない場合には、上側から認識可能とするため、位置決めマーク部には銅張り前に絶縁樹脂層1にパンチング等で貫通穴を設けておくか、銅張り／パターン形成後に、レーザ工法、あるいはフォトリソ/エッチング工法等により位置決めマーク部の絶縁樹脂を開口しておく。実装装置の実装ツールは加熱および加圧が可能な構造とし、吸着把持された半導体チップ4を絶縁樹脂層1が十分軟化する温度まで加熱しながら、位置合わせされた配線基板に加圧する。この際、半導体チップ4に加えた温度を効率よく配線基板に伝達させるため、配線基板を把持させたステージも加熱しておく方が望ましい。加熱された半導体チップ4が、絶縁樹脂層1に接触すると、絶縁樹脂層1が軟化するため半導体チップに形成されたバンプ5は、容易に絶縁樹脂層1を貫通し、バンプ5と配線パターン2が接続される。この接続工程において、半導体チップまたは配線基板のいずれかに超音波振動を印加するようにしてもよい。なお、バンプ5が接続される配線の接続面は、絶縁樹脂層1で既に覆われているため製造工程内での酸化や汚染が防止されている。バンプ5と下層配線との接続は、金属拡散接合や、接触のみで絶縁樹脂で接触保持させる方法のどちらにも適用できる。

[0037] バンプ先端形状を尖った形状としておくことで、絶縁樹脂層1を掻き分けながら先端が変形していくため、接続の信頼性により有利となる。所望の深さまで半導体チップ4

が埋め込まれ、かつバンプと配線の接合が完了した時点で実装ツールの加熱を終了させ、絶縁樹脂層1が十分硬化するまで加圧を保持した後、実装ツールを上昇させる。以上の材料、実装方法により、図6Bの実装構造を実現できる。

[0038] また、本実装構造および製造方法は、チップの回路面に2次配線された半導体チップや、ウェハレベルCSPなどのパッケージングされた電子部品、さらには受動電子部品にも適用できる。

[0039] 図7A、7Bは、本発明の第2の実施の形態を示す断面図であって、図7Aには、コア層となる絶縁層12の表・裏面に配線パターン2が形成され、その裏面側にはソルダーレジスト3が塗布され、その表面側にソルダーレジストの機能を果たす熱可塑性樹脂からなる絶縁樹脂層1が形成された配線基板が示されている。図7Bは、図7Aの配線基板に第1の実施の形態で説明した方法により半導体チップを実装した断面図である。この実施の形態によれば、絶縁樹脂層1にソルダーレジストと封止樹脂の機能を兼用させることが可能である。

[0040] このように、絶縁樹脂層に熱可塑性樹脂を用いることにより、従来アンダーフィルを適用した場合に困難であったリペアも再加熱することで可能となる。また、熱可塑性樹脂の代わりに、エポキシ樹脂などのプリキュア材を用いても、リペアはできないものの、半導体チップの実装は可能である。ここで、熱可塑性樹脂としては、液晶ポリマー、アクリル、ポリエステル、ABS、ポリカボネート、フェノキシ、ポリサルホン、ポリエーテルイミド、ポリアクレート、ノルボルネン系等の各樹脂、また熱硬化性樹脂としては、ビスフェノールA型、ジシクロペンタジエン型、クレゾールノボラック型、ビフェニル型、ナフタレン型等のエポキシ樹脂や、レゾール型、ノボラック型等のフェノール樹脂等が適用でき、これらの複数混合樹脂材料としてもよい。

[0041] 例えば、熱可塑性樹脂を主成分とし、熱硬化性樹脂を微量添加した樹脂材料である住友ベークライト株式会社製の“IBF-3021”を用いても良好な結果が得られている。すなわち、この樹脂材料を用いて図7Bのデバイスを作製した場合、加速試験である温度サイクル試験(-40〜125℃)で、民生機器へ適用可能なレベルの信頼性は確保されている。

[0042] 以下に、上述した各実施形態の応用例を説明する。

## [0043] (応用例1)

図9は、図6Aの配線基板を応用し、多層配線層を有する基板への適用した例を示す断面図である。本例では、コア層13の両面に配線パターン2と絶縁層を積層して多層配線基板を構成したものであるが、半導体チップ4が実装される層のみに熱可塑性の絶縁樹脂層1を適用している。ここで、絶縁樹脂層1の厚みは30〜100  $\mu\text{m}$  程度である。

[0044] 絶縁樹脂層1以外は、コア層13にガラスエポキシ基板、また絶縁層12にはビルドアップ絶縁樹脂を用いた一般的な基板構造を想定しており、何れの樹脂にも、熱硬化型樹脂を用いている。絶縁樹脂層1のみを熱可塑性樹脂、他の絶縁樹脂層を熱硬化樹脂で構成していることにより、半導体チップ4を実装する際の熱による絶縁層12やコア層13が軟化変形は非常に小さく、図6Bと同一の実装工法が採用できることから、多層配線基板への応用も十分可能である。

## [0045] (応用例2)

図10は、図6Bの実装形態に、ディスペンスあるいはスクリーン印刷法等によってコーティング樹脂14を形成したものであり、半導体チップ上面を樹脂により補強し、表面フラット化を実現した構造である。

[0046] この構造の優位性は、本実装構造体に外的応力、例えば落下衝撃・振動・温度サイクルなどによる応力が加わる状態において、半導体チップ4の端面に応力が集中することを防止できるため、接続信頼性を向上でき、適用用途をより拡大することが可能となることにある。

## [0047] (応用例3)

図11は、パッケージングされた電子部品15を配線基板内に埋め込んだ半導体チップ4上に重ねて実装した例を示す断面図であって、図6Bの実装方法にて製造された半導体チップ内蔵の配線基板のパッド電極に、クリームはんだを印刷供給し、電子部品15を搭載してリフローはんだ付けするようにして、表面実装配線基板を実現した例である。

[0048] 但し、この場合、熱可塑性樹脂である絶縁樹脂層1には、リフロー温度でも半導体チップ4の接続部が破損しない軟化開始温度が高い材料を選定する必要がある。

[0049] 例えば、液結晶転移点が300℃前後である比較的耐熱性の高い液晶ポリマー材などが絶縁樹脂層1の材料として適用可能である。

[0050] (応用例4)

図12は、他の半導体チップ16を配線基板内に埋め込んだ半導体チップ4上に重ねて実装した例を示す断面図である。半導体チップ4は、図6Bに示す実装方法にて実装されている。他の半導体チップ16の実装には、従来工法であるフリップチップの圧接工法や、圧着工法が適用できるが、半導体チップ16を実装する際の熱による半導体チップ4の接続部破壊を防止するため、絶縁樹脂層1の材料には、液結晶転移点が比較的高い前記液晶ポリマー材などが有効である。

[0051] また、半導体チップ16を実装する工程において、半導体チップ16下部の凹凸はアンダーフィルの流動性への影響や、ボイドの発生に繋がるため、図10の例のようにコーティング樹脂14によって半導体チップ4の上面をフラット化しておくことが望ましい。さらに、半導体チップ16の実装工法として、比較的低い温度で実装可能な超音波併用型のフリップチップ実装工法を採用すれば、絶縁樹脂層1の材料選定範囲を広げることも可能である。

[0052] (応用例5)

図13は、図6Bの実装構造体およびその製造工法を応用し、この実装構造体の上下層の何れか、もしくは双方に1層以上の絶縁樹脂層および配線層を積み重ねて構成した多層構造の配線基板を用いた電子デバイスの断面図であり、配線基板に半導体チップを内蔵していることを特徴とする。本例においては、いずれの絶縁樹脂層1にも、熱可塑性樹脂あるいはプリプレグ等が適用できる。ここで、絶縁樹脂層1の厚みは30〜100  $\mu\text{m}$ /層程度である。

[0053] 図6Bに示した実装構造は、前述した通り低コスト化を実現できる実装構造であり、同一工法を用いて部品を内蔵させた本部品内蔵配線基板は、一般的な配線基板上に半導体チップを実装する場合に比べて、最終製品の低コスト化が図れるばかりでなく、部品を内蔵させたことによる実装部品の高密度化が図れることから低コストかつ軽薄短小の製品を容易に実現できるというメリットがある。

[0054] (応用例6)

図14は、図6Bの実装構造体およびその製造工法を応用し、この実装構造体を配線基板の両面に形成した多層構造の配線基板を用いた電子デバイスの断面図である。この例では、コア層13の表裏面に配線層および絶縁層12を形成し、さらにそれぞれの表面上に図6Bの実装構造体を適用して、両面実装構造の多層配線基板を実現している。

[0055] (応用例7)

図15は、図6Bの実装構造体およびその製造工法を応用し、この実装構造体を積み重ねて構成した多層構造の配線基板を用いた電子デバイスの断面図であり、半導体チップを多層に実装したことを特徴としている。本例においては、上層の絶縁樹脂層1には、熱可塑性樹脂あるいはプリプレグ等が適用できる。

[0056] (応用例8)

図16は、図6Bの配線基板を応用し、多層配線層を有する基板へ適用した例を示す断面図である。本例は、図9に示される応用例1と同様に、コア層13の両面に配線パターン2と絶縁層を積層して多層配線基板を構成したものであるが、本例では、半導体チップ4はそのバンプ5が2層の熱可塑性の絶縁樹脂層1を貫通する態様にて実装されている。この場合に、各々の絶縁樹脂層には、配線パターンを形成してもよく、図9の例に比し、より構造上および配線性への自由度を増すことが可能となる。

[0057] (応用例9)

図17A、17Bは、図6Bの実装構造体およびその製造工法を応用し、その上層側の配線層をグランドパターンとして多層構造の配線基板を構成した例を示す断面図であり、図17Aは、半導体チップを取り外した状態を示す平面図である〔図17Aにおいて半導体チップの取り付け個所は点線にて示されている〕。本例においては、半導体チップ4のバンプは内層配線パターンのパッド20に直接接続されており、そして半導体チップ4のバンプが接続された配線パターンは、他の半導体チップのバンプに直接接続され、あるいは、ビアホール22を介して下層の配線層に落とされる。本例においては、最上層の配線層をグランドパターン2aとした配線基板において、半導体チップ4のバンプを内層配線層に接続したことにより、半導体チップ周辺にビアホールを形成する必要がなくなり、ビアホール数を削減することができると共に高密度実

装が実現できる。この点についてより具体的に説明する。基板上に実装された2つ以上のチップを結線し、かつ特にノイズ遮断を目的とした表層にグランドベタパターンを配置した場合、信号線は一般的にチップの全端子数の $1/2 \sim 1/3$ であり、他は電源・グランド端子である。ここで、仮に100pinの外部端子を有するチップの50端子が信号線であったと仮定すると、従来構造である表層への実装構造では、ノイズ遮蔽のため、全ての信号層を一度内装へビアホールを介して内層へ接続し、表層のグランドパターンの下層を通すことでノイズを遮蔽したのち、更にビアホールを介して、内層から結線先の表層のチップに接続する必要がある。表層から内層へ接続するための信号線50端子、また内層から表層へ接続するための50端子分、合わせて信号線の倍である100穴のビアホールが必要となる。これに対し、本発明の直接内層に実装する構造では、直接内層間での結線が可能となることから、この表層と内層間のビアホールが不要となり、これら表層-内層間の100穴のビアホール全てを排除することが可能となる。

[0058] また、本例によれば、グランドパターン2aによって覆われない領域を極小化することができ、シールド効果を高めることができる。

[0059] (応用例10)

図18Bは、図6Bの実装構造体およびその製造工法を応用し、積層チップ構造のBGAを構成した例を示す断面図であり、図18Aは、半導体チップを取り外した状態を示す平面図である[図18Aにおいて半導体チップ4の取り付け個所は点線にて示されている]。本例においては、半導体チップ4のバンパは内層のパッド20に接続され、半導体チップ4上には他の半導体チップ16がフェースアップ状態で搭載されている。そして、他の半導体チップ16の電極(図示なし)と絶縁樹脂層1の外周部に配置されたパッド23間はボンディングワイヤ24により接続されている。配線基板裏面のソルダーレジスト3で覆われていない領域にははんだボール25が形成されている。本例においては、半導体チップ4のバンパを内層配線層に接続したことにより、半導体チップ周辺にビアホールを形成する必要がなくなり、ビアホール数を削減することができると共に、半導体チップ4に近接させてワイヤボンディング用のパッド23を設置することが可能になり、ボンディングワイヤ24の長さを最短化することができる。さらに、



本例によれば、高密度実装が実現できると共に配線層数を削減することも可能になる。

## 請求の範囲

- [1] 第1主面および第2主面を有する絶縁樹脂層と、前記絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板と、  
下面に突起電極を有し、前記配線基板に実装されたチップ部品とを有し、  
前記チップ部品の下面と少なくとも側面の一部とが前記絶縁樹脂層に接し、前記チップ部品の上面が前記絶縁樹脂層の第1主面側に露出する態様にて、前記絶縁樹脂層が前記チップ部品を保持し、前記チップ部品の突起電極が前記第1の配線層と接続されている電子デバイス。
- [2] 前記絶縁樹脂層の第1主面上に第2の配線層が形成されていることを特徴とする請求項1に記載の電子デバイス。
- [3] 前記第2の配線層にグランドパターンが形成されていることを特徴とする請求項2に記載の電子デバイス。
- [4] チップ部品を保持する絶縁樹脂層を複数層有していることを特徴とする請求項1に記載の電子デバイス。
- [5] チップ部品を保持する絶縁樹脂層が第1主面を同じ向きに積層されていることを特徴とする請求項4に記載の電子デバイス。
- [6] チップ部品を保持する絶縁樹脂層が配線基板の両面に配置されていることを特徴とする請求項4に記載の電子デバイス。
- [7] 積層された第1主面および第2主面を有する複数の絶縁樹脂層と、前記絶縁樹脂層の中の最下層ないし最内層の絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板と、  
下面に突起電極を有し前記配線基板に実装されたチップ部品とを有し、  
前記チップ部品の下面と側面とが最外層の絶縁樹脂層に接し、前記チップ部品の上面が最外層の絶縁樹脂層の第2主面側に露出する態様にて、前記絶縁樹脂層が前記チップ部品を保持し、前記チップ部品の突起電極が前記第1の配線層と接続している電子デバイス。
- [8] 前記配線基板が、前記絶縁樹脂層以外の絶縁層と、前記第1の配線層または第1および第2の配線層以外の配線層とをさらに有していることを特徴とする請求項1また

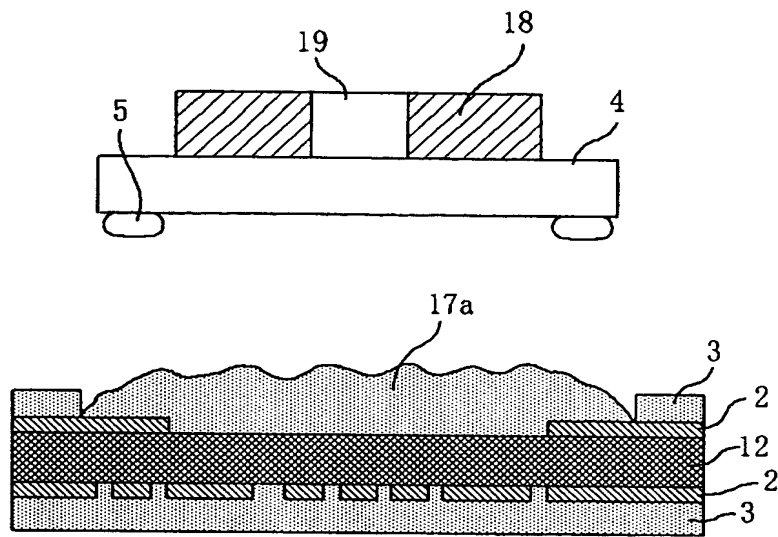
は7に記載の電子デバイス。

- [9] 配線基板の最外層の絶縁樹脂層に入り込んだチップ部品の絶縁樹脂層から露出した部分はコーティング樹脂によって被覆されていることを特徴とする請求項1または7に記載の電子デバイス。
- [10] 前記チップ部品の突起電極が尖った先端部を有していることを特徴とする請求項1または7に記載の電子デバイス。
- [11] 前記チップ部品の突起電極がワイヤボンディング法により形成された金電極であることを特徴とする請求項1または7に記載の電子デバイス。
- [12] 前記絶縁樹脂層が、熱可塑性樹脂または熱可塑性樹脂に熱硬化性樹脂を添加した材料により形成されていることを特徴とする請求項1または7に記載の電子デバイス。
- [13] 第1主面および第2主面を有する絶縁樹脂層と、前記絶縁樹脂層の第2主面側に配置された第1の配線層とを有する配線基板と、突起電極を有するチップ部品とを用意する工程と、  
前記チップ部品を前記絶縁樹脂層へその第1主面側から押圧して押し込む工程と、  
前記チップ部品の突起電極を前記絶縁樹脂層を貫通させて前記第1の配線層に接続させるとともに、前記チップ部品の少なくとも突起電極の形成面を前記絶縁樹脂層の樹脂にて封止する工程とを有する電子デバイスの製造方法。
- [14] 前記チップ部品を押し込む工程は、加熱しつつ前記チップ部品の押圧を行うことを含む請求項13に記載の電子デバイスの製造方法。
- [15] 前記チップ部品を押し込む工程は、前記チップ部品または前記配線基板のいずれかに超音波振動を印加しつつ前記チップ部品の押圧を行うことを含む請求項13に記載の電子デバイスの製造方法。
- [16] 前記チップ部品を押し込む工程に先立って、前記絶縁樹脂層の第1主面の少なくとも前記チップ部品による押圧個所に対してプラズマ処理または紫外線照射を行う工程を有する請求項13に記載の電子デバイスの製造方法。

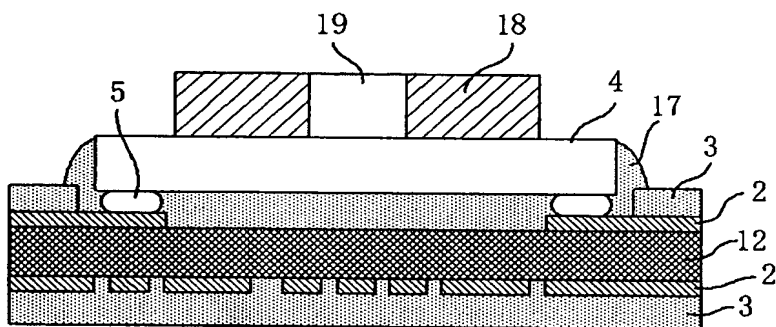
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 3 with a thin layer 2 on its top surface. A thick layer 12 is formed on the thin layer 2. A top layer 5 is formed on the thick layer 12. A central region 4 is defined by a layer 3 and a top layer 5, with a layer 2 on the sides.

Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate with a patterned layer 3, a middle layer 2, and a top layer 12. A central layer 4 is covered by a protective layer 5, with side contacts 17 connecting to the middle layer 2.

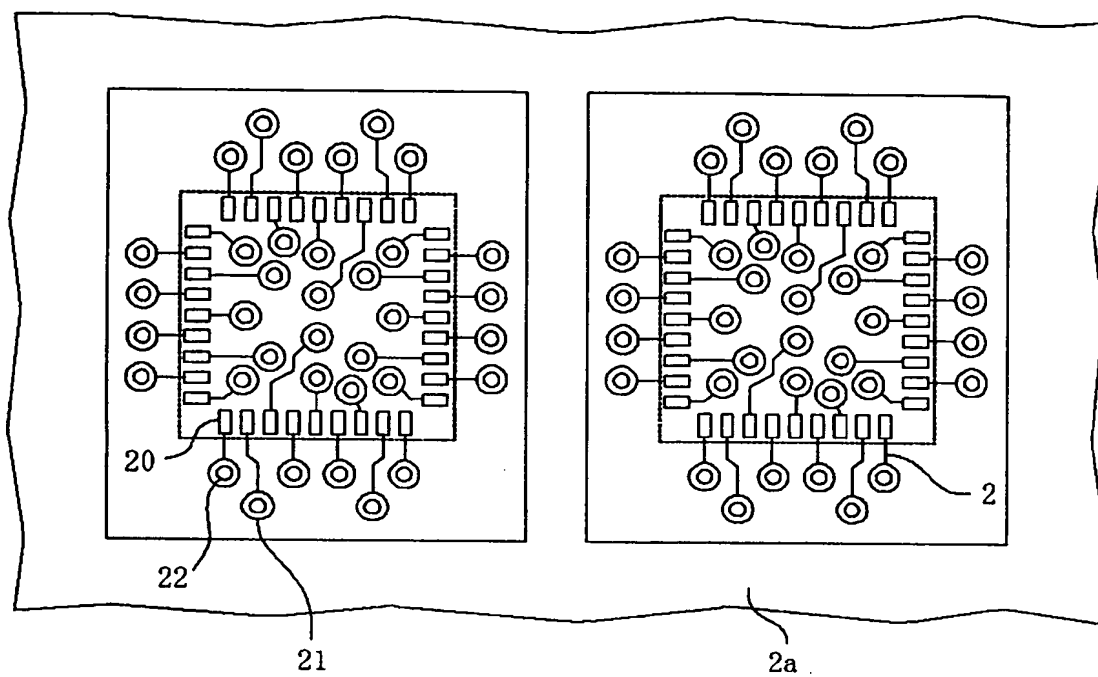
[図2A]



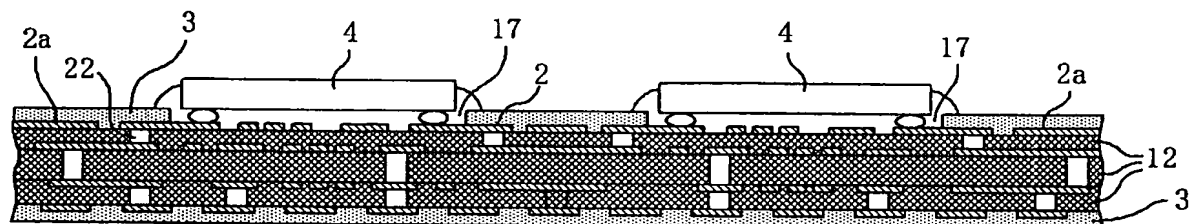
[図2B]



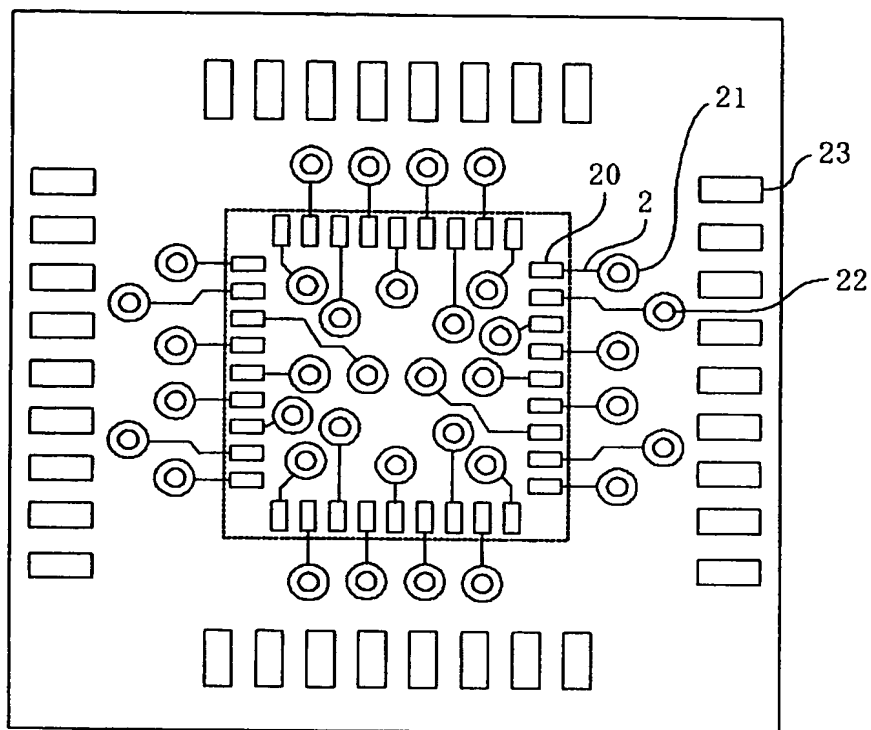
[図3A]



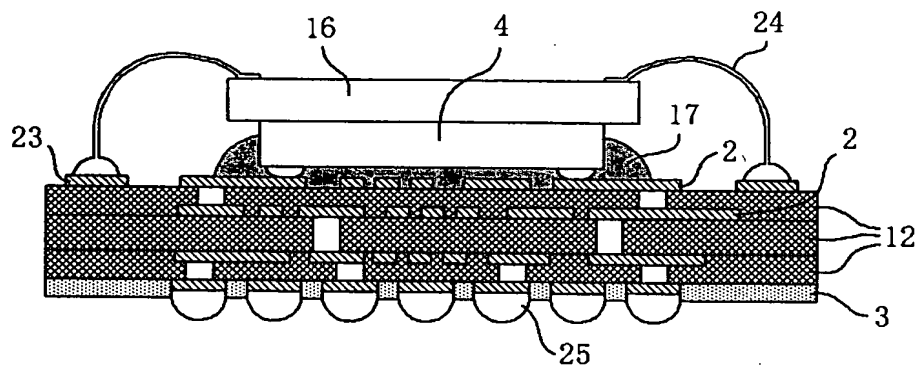
[図3B]



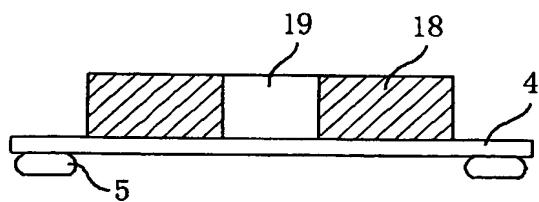
[図4A]



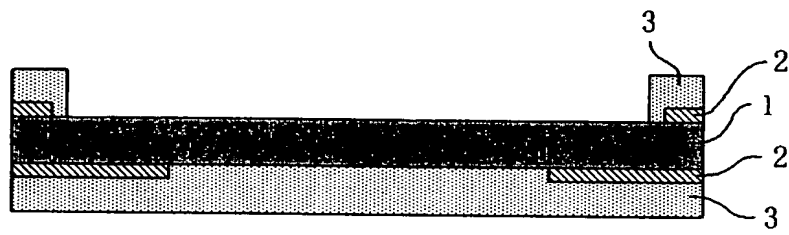
[図4B]



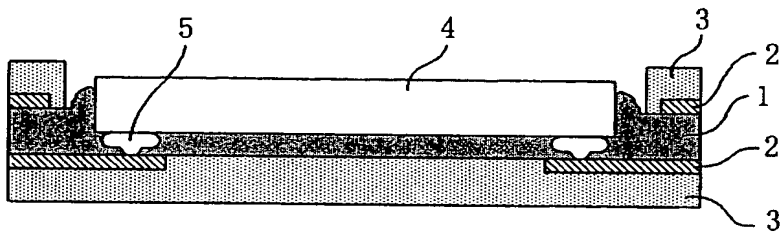
[図5]



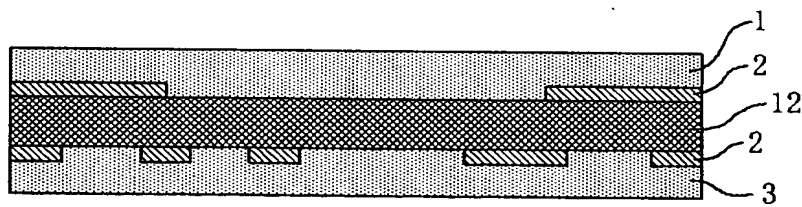
[図6A]



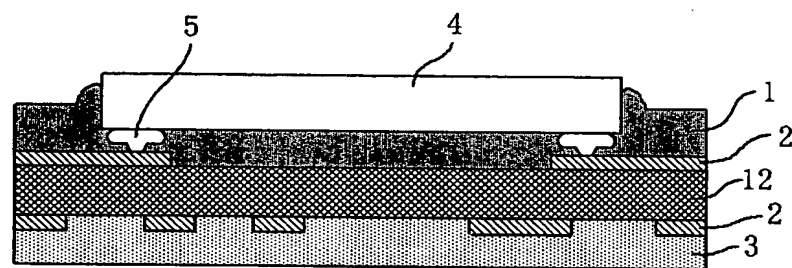
[図6B]



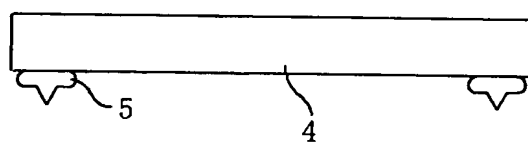
[図7A]



[図7B]

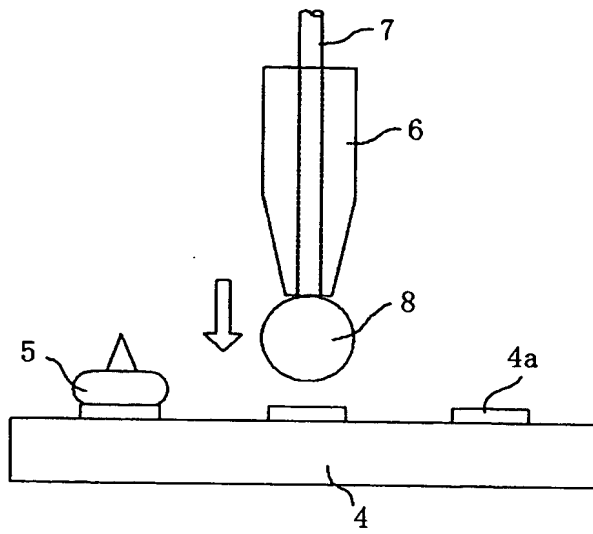


[図8A]

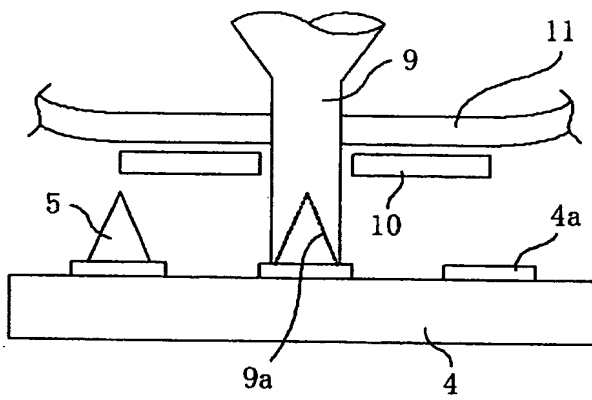




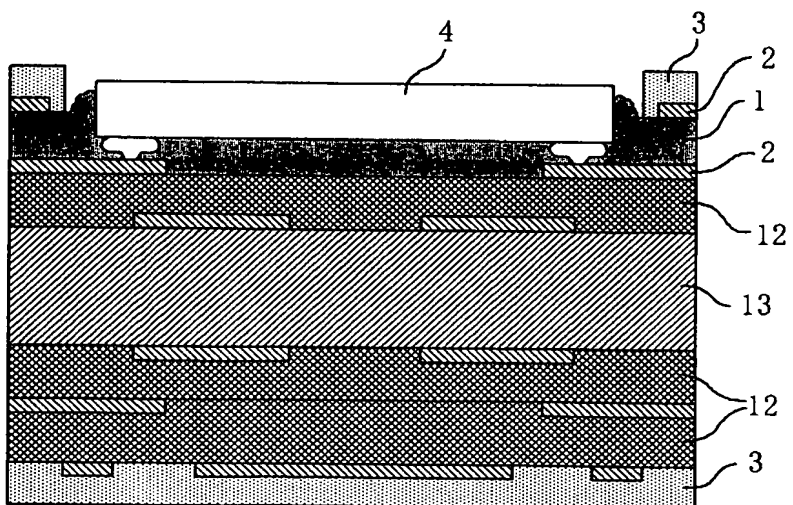
[図8B]



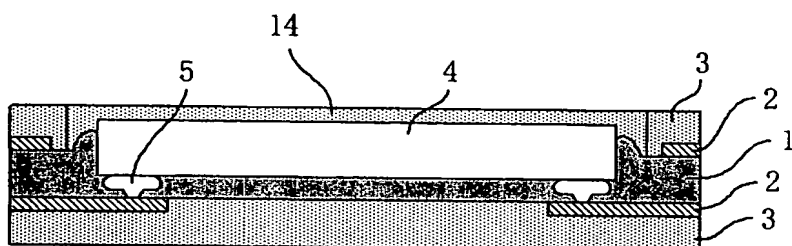
[図8C]



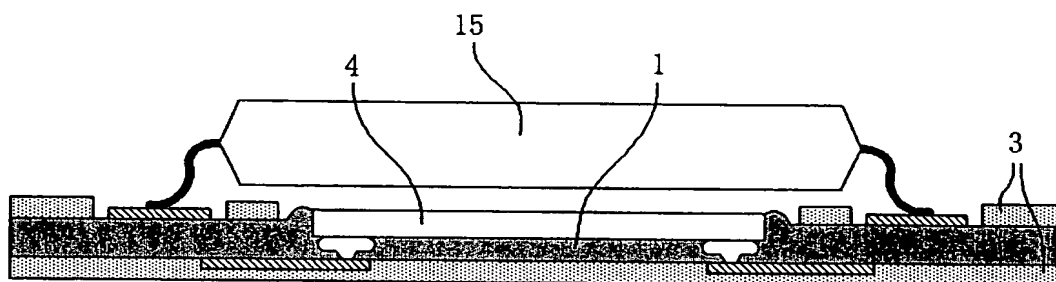
[図9]



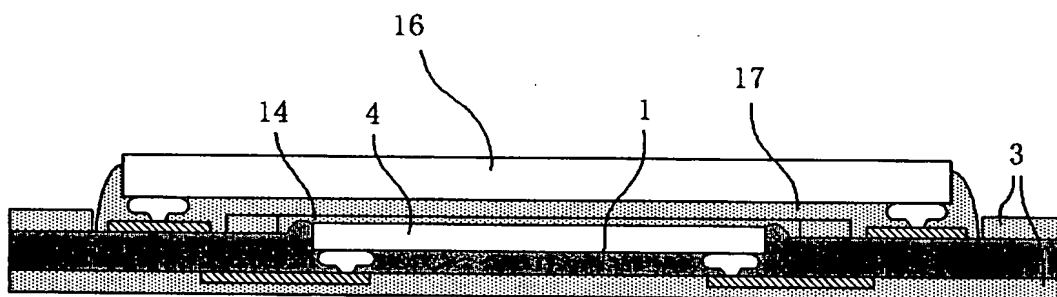
[図10]



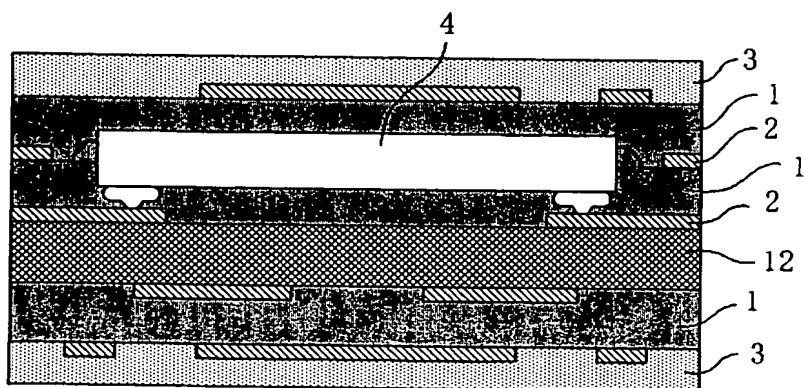
[図11]



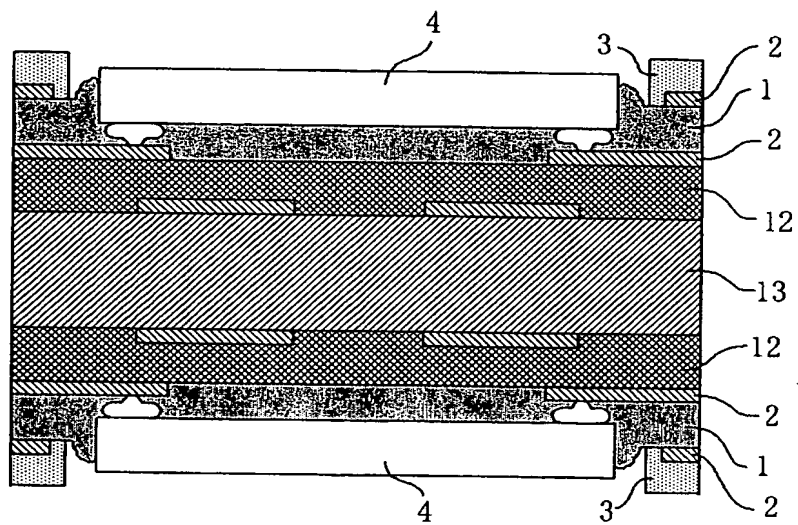
[図12]



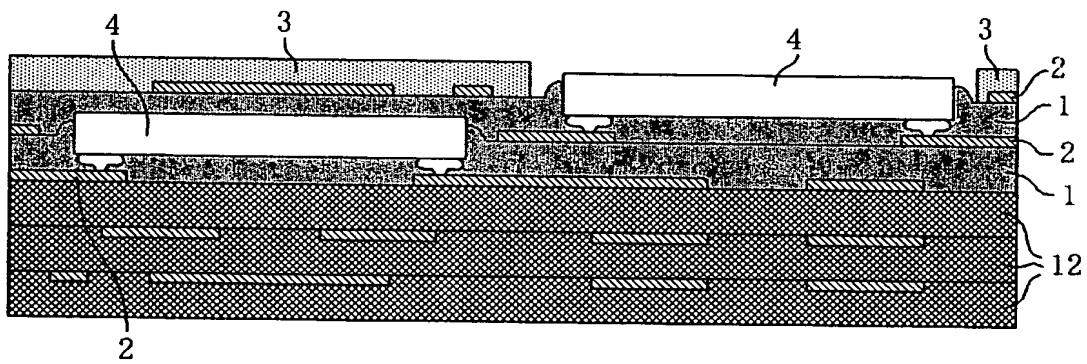
[図13]



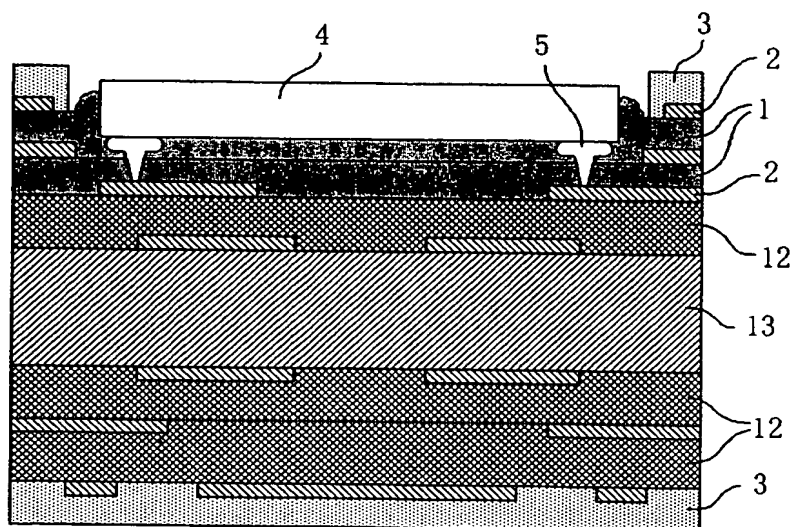
[図14]



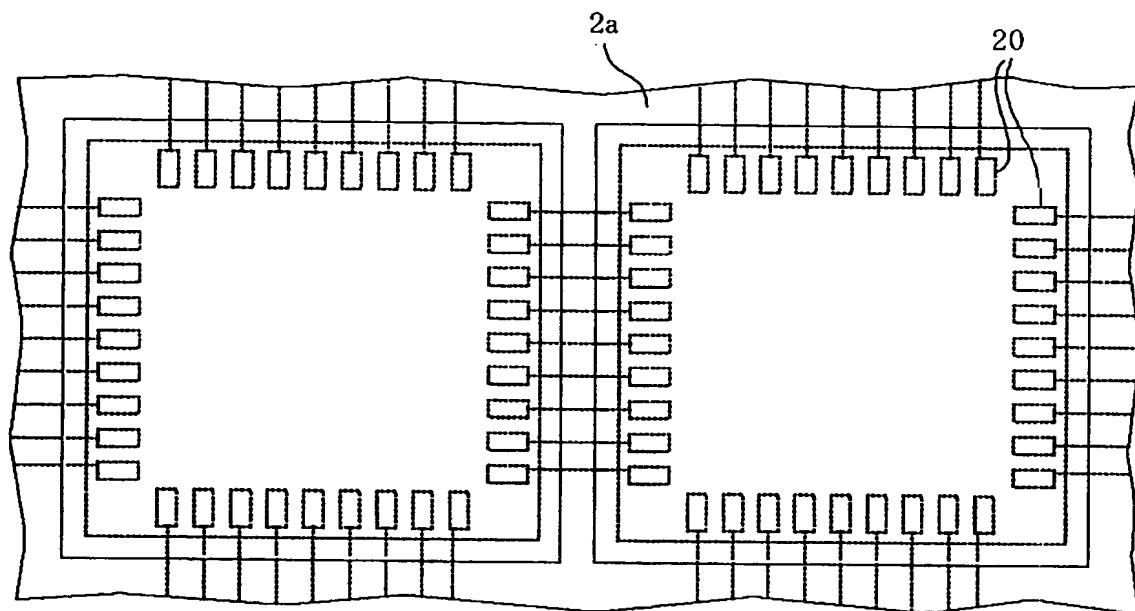
[図15]



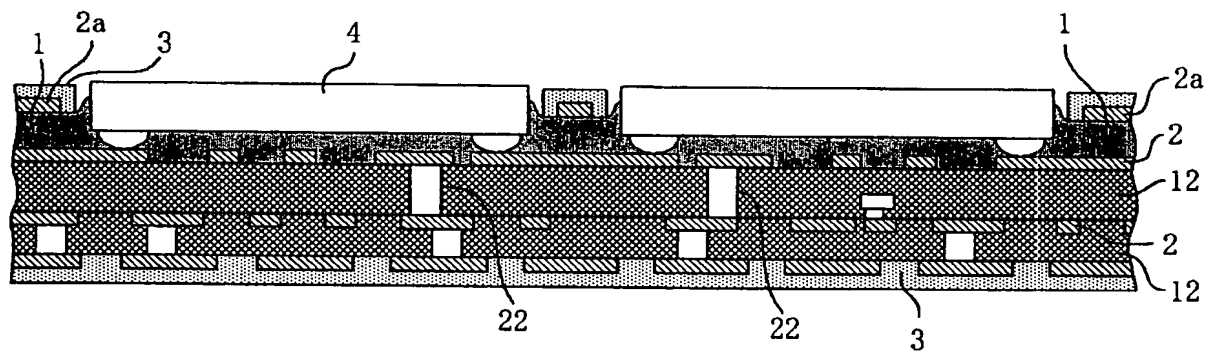
[図16]



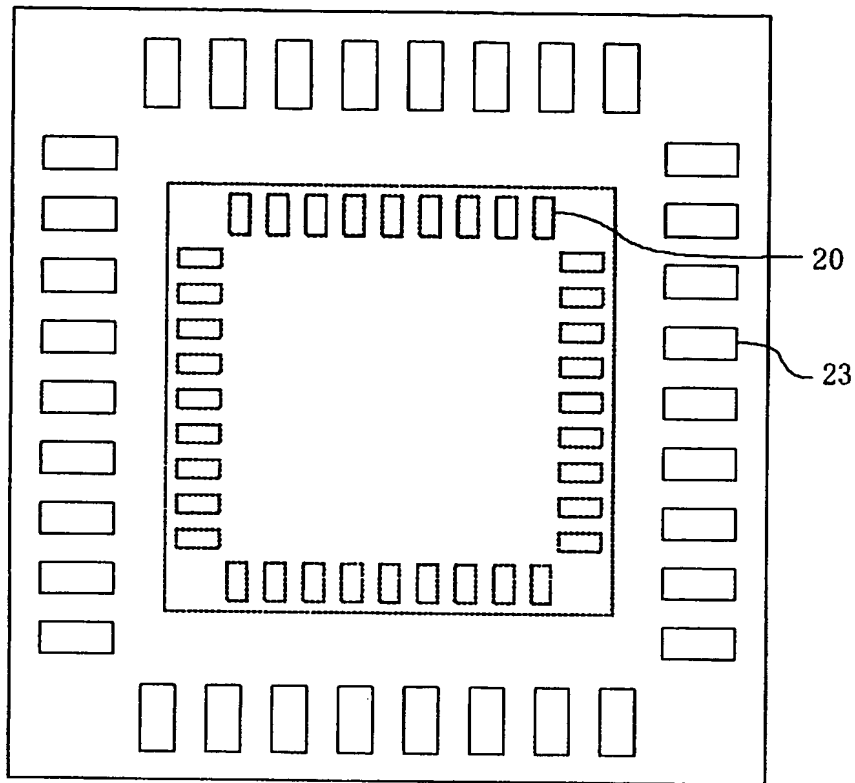
[図17A]



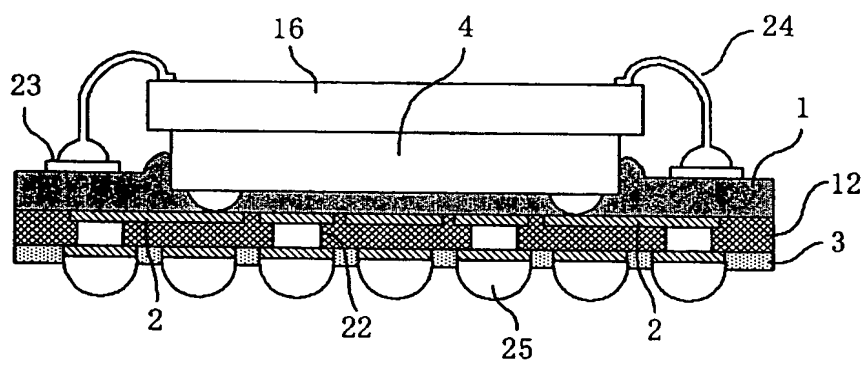
[図17B]



[図18A]



[図18B]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014739

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H01L21/60Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-7156 A (Sony Chemicals Corp.), 12 January, 2001 (12.01.01), Column 3, line 12 to column 4, line 19; Fig. 1 & US 6531026 B1	1, 7, 13, 14
X Y	JP 2-165073 A (Matsushita Electric Industrial Co., Ltd.), 26 June, 1990 (26.06.90), Page 3, upper left column, line 1 to lower right column, line 17; Fig. 1 (Family: none)	1, 12-14 <u>2-11, 15, 16</u>
Y	JP 2000-286297 A (Matsushita Electric Industrial Co., Ltd.), 13 October, 2000 (13.10.00), Claims; Fig. 1 & WO 2000/45430 A1 & EP 1156520 A1	2, 3, 7-11, 15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
02 December, 2004 (02.12.04)Date of mailing of the international search report  
21 December, 2004 (21.12.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014739

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-299427 A (Sony Corp.), 24 October, 2000 (24.10.00), Column 11, lines 16 to 25; Fig. 6 (Family: none)	4-6
Y	JP 11-251368 A (NEC Corp.), 17 September, 1999 (17.09.99), Claims & US 6214446 B1	7,8,10,11
Y	JP 2002-368155 A (Hitachi Cable, Ltd.), 20 December, 2002 (20.12.02), Column 9, lines 7 to 13; Fig. 1 (b) (Family: none)	9
Y	JP 2000-315705 A (Toppan Forms Co., Ltd.), 14 November, 2000 (14.11.00), Column 3, lines 11 to 22 & EP 991014 A2	16
E,X	JP 2004-311788 A (Matsushita Electric Industrial Co., Ltd.), 04 November, 2004 (04.11.04), Full text; all drawings (Family: none)	1,2,7-9,13, 14

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2001-7156 A (ソニーケミカル株式会社) 2001. 01. 12, 第3欄第12行-第4欄第19行, 図1 & US 6531026 B1	1, 7, 13, 14
X Y	J P 2-165073 A (松下電器産業株式会社) 1990. 06. 26, 第3頁左上欄第1行-右下欄第17行, 第1図  (ファミリーなし)	1, 12-14 2-11, 15, 16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

02. 12. 2004

国際調査報告の発送日

21.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R

9539

電話番号 03-3581-1101 内線 3469



C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-286297 A (松下電器産業株式会社) 2000. 10. 13, 特許請求の範囲, 図1 & WO 2000/45430 A1 & EP 1156520 A1	2, 3, 7-11, 15
Y	JP 2000-299427 A (ソニー株式会社) 2000. 10. 24, 第11欄第16-25行, 図6 (ファミリーなし)	4-6
Y	JP 11-251368 A (日本電気株式会社) 1999. 09. 17, 特許請求の範囲 & US 6214446 B1	7, 8, 10, 11
Y	JP 2002-368155 A (日立電線株式会社) 2002. 12. 20, 第9欄第7-13行, 図1 (b) (ファミリーなし)	9
Y	JP 2000-315705 A (トッパン・フォームズ株式会社) 2000. 11. 14, 第3欄第11-22行 & EP 991014 A2	16
EX	JP 2004-311788 A (松下電器産業株式会社) 2004. 11. 04, 全文, 全図 (ファミリーなし)	1, 2, 7-9, 13, 14

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**